CMOSアナログICの実用設計

吉田晴彦

第8回

CMOS アナログIC　PWM01 の回路設計(4)
OP アンプとリミッタ・アンプの設計

PWM01 の回路設計の４回目として，OP アンプとリミッタ・アンプを設計する．あと２回でCMOS アナログIC　PWM01 の設計は完了する．（編集部）

1．OP アンプ(U3，U4)の設計

電流フィードバック・ループのエラー・アンプに使用する利得帯域幅積 $G_B = 5\text{MHz}$，電圧利得 $A_V = 75\text{dB}$，出力ソース電流能力 $I_{OM+} \geqq 1\text{mA}$ のOP アンプを設計します．また，このOP アンプには電源電圧 $V^+ = 5\text{V}$ で入力電圧範囲 $0.5\text{V} \leqq V_{ICM} \leqq 3.5\text{V}$，最大出力電圧 $V_{OM} \geqq 3.5\text{V}$ の特性が要求されます．ここでは，PMOS 入力の差動増幅器，NMOS ソース接地の利得段，NMOS ソース・フォロワの出力バッファによる**図1**のような回路構成とします．

● OP アンプの諸特性

図1のOP アンプの諸特性は簡単に表すと，以下のようになります．

$$\text{DC電圧利得}: A_O = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \cong gm_{1,2}\left(r_{O2} /\!/ r_{O4}\right) gm_6 \left(r_{O6} /\!/ r_{O7}\right)$$

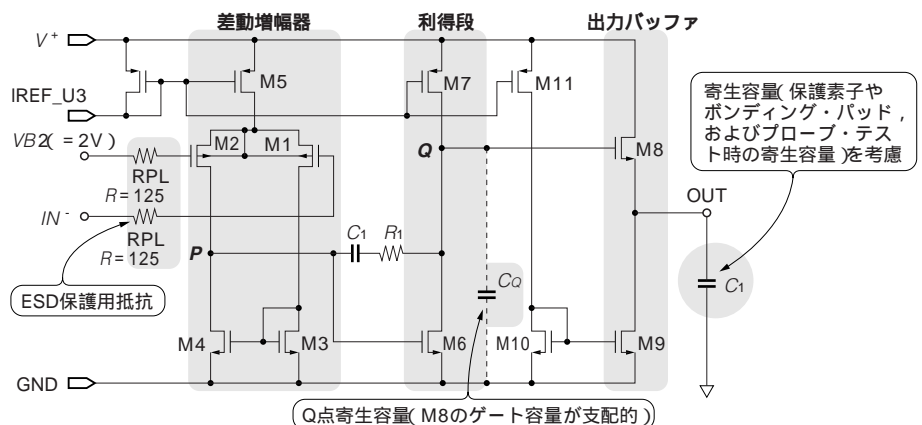
$$\text{P点ポール}: \left|\omega_p\right| \cong \frac{1}{C_1\, gm_6 \left(r_{O6} /\!/ r_{O7}\right)\left(r_{O2} /\!/ r_{O4}\right)}$$

$$\text{Q点ポール}: \left|\omega_Q\right| \cong \frac{gm_6}{C_Q}$$

$$\text{出力端子ポール}: \omega_{OUT} \cong \frac{gm_8}{C_L}$$

$$\text{ゼロ}: \omega_Z \cong \frac{1}{C_1\left(\dfrac{1}{gm_6} - R_1\right)}$$

以上のことを考慮して，各素子の定数を検討します．

図1
OP アンプ(U3，U4)の回路構成
$G_B = 5\text{MHz}$，$A_V = 75\text{dB}$，$I_{OM+} \geqq 1\text{mA}$ のOP アンプで，PMOS 入力の差動増幅器，NMOS ソース接地の利得段，NMOS ソース・フォロワの出力バッファで構成される．

KeyWord　OP アンプ，リミッタ・アンプ，差動増幅器，利得段，出力バッファ，出力ソース・フォロワ，位相補償

(1) 出力バッファ/ソース・フォロワ：M8

ソース・フォロワ(M8)のトランジスタ・サイズは，①出力ソース電流I_{OM+}，②出力端子におけるポールω_{OUT}の2点を考慮して決定します．

①出力ソース電流：I_{OM+}

出力ソース電流能力I_{OM+}は，反転入力電圧V_{in-}＝1.8V，出力端子電圧V_O＝2Vの条件で$I_{OM+}\geqq$1mAの仕様です．M9に定常的に流れる電流I_{OM-}＝700μAも考慮し，M8に必要な電流能力は$I_8\geqq$1.7mAとなります．ここでは，$I_8\geqq$5mAを満足するようにM8のトランジスタ・サイズを検討します．

まず，M8に使用する素子の種類を検討します．**図2**において，最大出力電圧V_{OM+}は前段のトランジスタM7が飽和領域で動作できる最小のソース-ドレイン間電圧V_{SD7}で制限されます．そのため$V_{SD7}\geqq V_{SD(\mathrm{sat})}$の条件で，$V_{OM+}\geqq$3.5Vを満足できる$V_{GS8}$を考えます．

$$V_{SD7}=V^{+}-V_{OM+}-V_{GS8}$$

ですから，V^{+}＝4.7V(最小電源電圧)，V_{OM+}＝3.5V，$V_{SD(\mathrm{sat})}$＝0.15Vとすると，

$$V^{+}-V_{OM+}-V_{GS8}\geqq V_{SD(\mathrm{sat})}$$

$$4.7-3.5-V_{GS8}\geqq 0.15$$

$$\therefore V_{GS8}\leqq 1.05\mathrm{V}$$

となります．

このことから，M8には通常のエンハンスメント型のトランジスタでは動作電圧範囲が厳しいため，しきい値電圧の低いイニシャル型(V_{TNI}＝0.35V)のトランジスタを使用します．

次に，**図2**におけるM8の動作点からトランジスタ・サイズを検討します．出力端子電圧V_O＝2Vなので，M8の動作点は，

$$V_{DS8}=V^{+}-V_O=4.7-2=2.7\mathrm{V}$$

$$V_{GS8}=V^{+}-V_{SD(\mathrm{sat})}-V_O=4.7-0.15-2=2.55\mathrm{V}$$

となります．NMOSトランジスタはしきい値高めV_{TNI-H}＝0.5Vとしたワースト条件において，

$$V_{GS8}-V_{TNI\text{-}H}=2.55-0.5=2.05\mathrm{V}<V_{DG8}=2.7\mathrm{V}$$

となり，M8の動作点は飽和領域となります．ここで，M8に流れる電流I_8は基板バイアス効果の影響を無視すると，

$$I_8=\frac{1}{2}\mu_{nI}C_{ox}\frac{W_8}{L_8}\left(V_{GS8}-V_{TNI}\right)^2$$

と表せるので，$I_8\geqq$5mAより，

$$I_8=\frac{1}{2}\mu_{nI}C_{ox}\frac{W_8}{L_8}\left(V_{GS8}-V_{TNI}\right)^2\geqq 5\mathrm{mA}$$

$$\therefore\frac{W_8}{L_8}\geqq\frac{2\times5\times10^{-3}}{\mu_{nI}C_{ox}\left(V_{GS8}-V_{TNI}\right)^2}\quad\cdots\cdots\cdots\cdots\cdots\cdots(1)$$

の条件式が導かれ，M8のトランジスタ・サイズはこの条件を満足する必要があります．

②出力端子におけるポール：ω_{OUT}

図2において，出力端子には保護素子やボンディング・パッド，およびプローブ・テスト時の寄生容量などが付加されるため，50pF～100pF程度の容量性負荷C_Lを考慮しなければなりません．出力端子におけるポールの角周波数ω_{OUT}は，

$$\omega_{OUT}\cong\frac{gm_8}{C_L}=\frac{\sqrt{2I_8\mu_{nI}C_{ox}\frac{W_8}{L_8}}}{C_L}\quad\cdots\cdots\cdots\cdots\cdots\cdots(2)$$

と表せます．

アンプが安定動作するためには，ω_{OUT}がユニティ・ゲイン周波数(＝利得帯域幅積G_B)よりも大きい必要があります．このことから式(2)を用いると，

$$\omega_{OUT}>\omega_{unity}$$

$$\therefore\frac{W_8}{L_8}>\frac{\left(C_L\omega_{unity}\right)^2}{2I_8\mu_{nI}C_{ox}}\quad\cdots\cdots\cdots\cdots\cdots\cdots(3)$$

の条件式が導かれます．

以上より，式(1)，式(3)を満足するようにM8のトランジスタ・サイズを決定します．ここでは，十分な余裕度を持たせてトランジスタ・サイズを，

$$\frac{W_8}{L_8}=\frac{1280[\mu\mathrm{m}]}{2.1[\mu\mathrm{m}]}$$

とします．

図2　出力ソース・フォロワ

負荷電流能力$I_8\geqq$5mAを満足するM8のトランジスタ・サイズを検討する．

(2) 出力バッファ/カレント・シンク：M9

図3の回路において，基準電流源からの電流IREF_U3＝I_{13}＝10μAをM13とM11からなるカレント・ミラー回路と，M10とM9からなるカレント・ミラー回路で電流値I_{OM-}＝700μAになるようにM9のトランジスタ・サイズを決定します．

ここで，M10の電流をI_{10}＝50μA，トランジスタ・サイズを，

$$\frac{W_{10}}{L_{10}}=\frac{12[\mu m]}{2.5[\mu m]}\times 4$$

とすると，I_{OM-}＝700μAとするために必要なM10とM9のカレント・ミラー電流比は，

$$\frac{W_9\times n}{L_9}\Big/\frac{W_{10}\times 4}{L_{10}}=\frac{I_9}{I_{10}}=\frac{700[\mu A]}{50[\mu A]}=14$$

となります．ただし，チャネル長変調により電流比が大きくなる方向にずれるので，過去の実績も考慮しM9のトランジスタ・サイズを，

$$\frac{W_9}{L_9}=\frac{12[\mu m]}{2.5[\mu m]}\times 50,\left(\frac{W_9\times 50}{L_9}\Big/\frac{W_{10}\times 4}{L_{10}}=12.5\right)$$

とします．

(3) 差動増幅器/バイアス電流：I_5

差動増幅器のバイアス電流I_5をスルー・レートから決定します．スルー・レートSRとは，単位時間における出力電圧の最大変化量のことです．これはOPアンプ内部，または外部のキャパシタを充放電するのに要する時間で決まります．PWM01では，振幅A＝1.5V，周波数f＝500kHzの正弦波を歪みなく出力するために必要なスルー・レートとします．スルー・レートSRは，$SR=2\pi Af$[V/s]で表されるので，

$$SR=2\pi Af$$
$$=2\times\pi\times 1.5\times 500\times 10^3$$
$$=4.71\,[V/\mu s]$$

となります．

一方，**図4**のOPアンプ内部のスルー・レートは位相補償用キャパシタC_1，入力段のバイアス電流I_5から，$SR=I_5/C_1$で制限されるので，

$$SR=\frac{I_5}{C_1}\geqq 4.71[V/\mu s]$$

$$\therefore I_5\geqq 4.71\times 10^6\times C_1$$

を満足するように電流I_5を決定します．

図3
出力バッファのシンク電流I_{OM-}
出力シンク電流I_{OM-}＝700μAを満足するM9のトランジスタ・サイズを検討する．

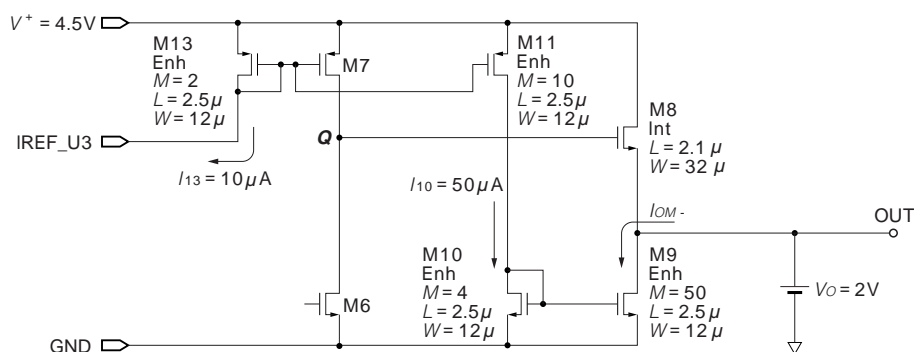



図4
差動増幅器のバイアス電流I_5
バイアス電流I_5をスルー・レートから決定する．

図5　利得帯域幅積 G_B

ポール角周波数ω_pから利得は−20dB/decの傾きで減少し，その直線上では利得と角周波数の積は一定となる．

図6　M3，M4の決定

M3, M4のトランジスタ・サイズは，最小入力電圧(0.5V)の時にM1が飽和領域で動作できるサイズとする．

(4) 位相補償容量：C_1

利得帯域幅積G_Bが，利得が1倍(0dB)になるユニティ・ゲイン角周波数と等しいとすると，**図5**のような周波数特性において，ω_Pからω_{unity}(＝$2\pi G_B$)までの傾きは−20 dB/decとなります．その直線上での利得と角周波数の積は一定なのでω_{unity}は，

$$\omega_{unity}=A_0\times\left|\omega_p\right|$$

$$=gm_{1,2}\left(r_{O2}//r_{O4}\right)gm_6\left(r_{O6}//r_{O7}\right)\times\frac{1}{C_1 gm_6\left(r_{O2}//r_{O4}\right)\left(r_{O6}//r_{O7}\right)}$$

$$=\frac{gm_{1,2}}{C_1}$$

と表せます．この式から，位相補償容量C_1は，

$$gm_{1,2}=\sqrt{I_5\mu_{pE}C_{ox}\frac{W_1}{L_1}}$$

より，

$$C_1=\frac{gm_{1,2}}{\omega_{unity}}=\frac{\sqrt{I_5\mu_{pE}C_{ox}\frac{W_1}{L_1}}}{2\pi\times5\times10^6}$$

となります．

(5) 差動増幅器/入力段：M1，M2

入力段の差動対M1，M2の対称性がずれるとオフセット電圧の原因になるので，レイアウト設計時にコモン・セントロイド配置(本誌2007年2月号，pp.92-100の連載第2回，**図3**を参照)にすることを考慮して，トランジスタ・サイズは$W_1=W_2=20$[μm]×4，$L_1=L_2=5$[μm]とします．

(6) 差動増幅器/アクティブ負荷：M3，M4

M3，M4のトランジスタ・サイズについて，最小入力電圧V_{IN}(min)(0.5V)を印加したときに，M1が飽和領域で動作できる条件から検討します．

図6においてIN^-端子にV_{IN}(min)を印加したとき，M5からの電流I_5がすべてM1に流れているとすると，M1のV_{SD1}は，

$$V_{SD1}=V_{IN}(\mathrm{min})+V_{SD1}-V_{GS3}$$

と表せます．ここで，M1が飽和領域で動作するためには，$V_{SD1}\geqq V_{SD(\mathrm{sat})}$でなければならないので，$V_{IN}(min)-V_{SG3}+V_{SG1}\geqq V_{SD(\mathrm{sat})}$の関係式が成り立ちます．このことから，

$$V_{SD(sat)}=V_{SG1}-\left|V_{TPE}\right|$$

$$V_{GS3}=\sqrt{\frac{2I_5}{\mu_{nE}C_{ox}\left(\frac{W_3}{L_3}\right)}}+V_{TNE}$$

とすると，

$$V_{IN}(\mathrm{min})-\left\{\sqrt{\frac{2I_5}{\mu_{nE}C_{ox}\left(\frac{W_3}{L_3}\right)}}+V_{TNE}\right\}+V_{SG1}\geqq V_{SG1}-\left|V_{TPE}\right|$$

$$\therefore\frac{W_3}{L_3}\geqq\frac{2I_5}{\mu_{nE}C_{ox}\left(V_{IN}(\mathrm{min})+\left|V_{TPE}\right|-V_{TNE}\right)^2}$$

の条件式が導かれます．

この条件式を満足するように，M3とM4のトランジスタ・サイズを決定します．

(7) 利得段/ソース接地

NMOSソース接地の利得段における，M6のトランジスタ・サイズと電流I_7を検討します．

図7 OPアンプ(U3，U4)の回路図

(1)～(8)での検討結果，および素子ばらつきや温度変動などを考慮し，回路定数の最適化を図った回路．

Q点(**図4**)で発生するポールω_Qは，

$$\left|\omega_Q\right| = \frac{gm_6}{C_Q}$$

と表せます．アンプが安定動作するためには，$\omega_Q > \omega_{unity}$である必要があるので，

$$\frac{gm_6}{C_Q} > \omega_{unity}$$

$$\frac{\sqrt{2\mu_{nE} C_{ox} \dfrac{W_6}{L_6} I_7}}{C_Q} > \omega_{unity} \qquad \cdots\cdots (4)$$

となります．また，差動入力段の各電圧が等しいときに，M1，M2のドレイン電圧や電流のバランスが崩れることによって生じるシステマチック・オフセット電圧を最小限にするため，M3とM4のドレイン電圧が等しくなるように設定します．そのために必要な条件は，

$$\frac{W_6}{L_6} = \frac{2I_7}{I_5} \cdot \frac{W_4}{L_4} \qquad \cdots\cdots (5)$$

です．従って，式(4)，式(5)の条件から，M6のトランジスタ・サイズW_6/L_6と電流I_7を決定します．

(8) 位相補償抵抗：*R*1

このOPアンプのゼロは，

$$\omega_Z = \frac{1}{C_1\left(\dfrac{1}{gm_6} - R_1\right)}$$

と表せます．このゼロは，$\omega_Z > 0$の場合，ポールと同じように位相を遅らせる働きをするので，低域に位置すると回路が不安定になってしまいます．そこで，$R_1 = 1/gm_6$とすれば，$\omega_Z \to \infty$となり，この回路におけるゼロの影響をなくすことができます．実際には，素子ばらつきや温度特性などの影響でR_1やgm_6の値が変動するので，$\omega_Z \leqq 0$となるように設定します．

$$\omega_Z \leqq 0$$

$$\frac{1}{C_1\left(\dfrac{1}{gm_6} - R_1\right)} \leqq 0$$

$$\therefore R_1 \geqq \frac{1}{gm_6}$$

ここでは，R_1の値を上記の条件を満足するように決定します．R_1により，ゼロは位相余裕が増加する方向に位相特性を変化させます．

図7は，以上の(1)～(8)での検証結果を考慮し，回路定数を最適化した回路です．また，**図8**は，$V^+ = 5V$時に各素子を標準値の条件で，出力端子の負荷寄生容量C_Lを0～300pFまで変化させた場合のシミュレーション結果です．標準値の条件で電圧利得$A_V = 80dB$，利得帯域幅積$G_B = 5MHz$となり，仕様を満足するオープン・ループの周波数特性となっています．

● 大信号入力時の過渡応答

入力電圧V_{IN-}を3.5Vから0.5Vまで急しゅんに変化させたときの動作を考えます．

図9(a)のように，入力電圧が3.5Vのとき，電流I_5はM1にほとんど流れずに，その大部分がM2に流れ込み，P点の電位はV^+付近まで上昇します．次に，入力電圧を0.5Vまで下げると，I_5はM1を介してM3に流れるため，M4が電流を流し始めます．その結果，P点の電位が低下します．

(a) 周波数特性

負荷容量[pF]	GB積[MHz]	位相余裕[°]
0	4.94	98.2
50	4.88	92.1
100	4.76	86.4
300	4.17	69.2

(b) 負荷容量による位相余裕値

図8 オープン・ループ周波数特性
V^+=5V，C_L=0～300pF時のオープン周波数特性のシミュレーション結果．十分な位相余裕が確保されている．

(a) V_{IN-}=3.5V

(b) V_{IN-}=3.5V→0.5V

図9 大信号入力時の過渡応答
入力電圧 V_{IN-} を3.5Vから0.5Vまで急峻に変化させたときの過渡応答動作を考える．

図10 P点電位のクランプ
M12を挿入することで，大信号時の入出力過渡応答特性の改善を図る．

このときのP点の電圧変化率はM5の電流I_5と位相補償キャパシタC_1で決まるスルー・レートで制限されます．

ここで出力を反転させることを考えると，P点の電位を1V程度まで下げて，M6をOFFさせなければ出力は反転しません．そのため，電源電圧V^+が高くなればなるほど，M6が反転するまでの時間がかかることになります．そこで，**図10**のようなM6が応答するまでの時間を短縮する回路を考えます．この回路では，M4のゲート-ドレイン間にM12を挿入することで，P点の電圧V_Pにクランプをかけて，$V_{IN-}>2V$の時に，P点の電位を$V_P=V_{GS12}+V_{GS3}$に制限します．

図11 大信号時の入出力過渡応答特性

M12を挿入することで，V_PがクランプされV_Qが応答するまでの時間が短縮される．

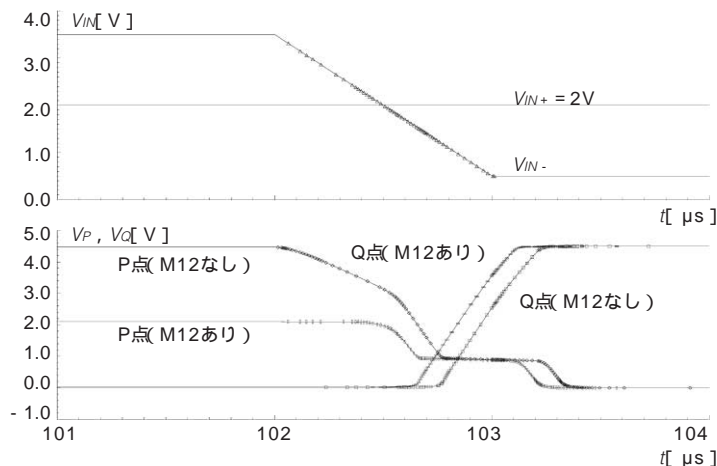
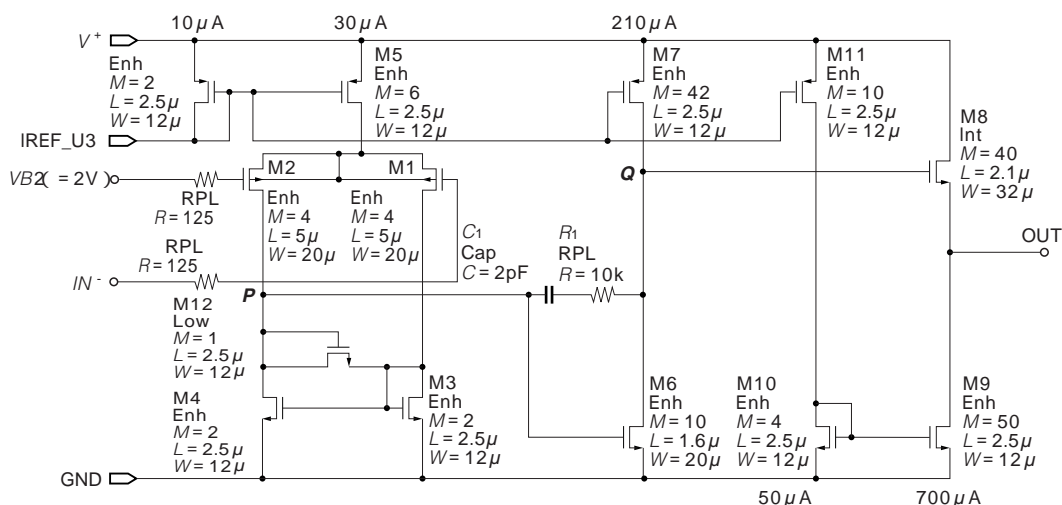



図12 OPアンプ(U3，U4)の回路図

PWM01に使用するG_B＝5MHz，I_{OM+}≧1mA，I_{OM-}＝700μAのOPアンプの回路．

この回路で大信号入出力過渡応答特性のシミュレーションを行うと**図11**のようになります．この結果から，M12を挿入したことでP点の電圧V_Pが$V_{GS12}+V_{GS3}$以下に制限されるため，M6が応答するまでの時間が短縮されていることが分かります．

● 全体回路

OPアンプ(U3，U4)の回路図を**図12**に示します．

2．加算＋リミッタ・アンプ(U5，U6，U7)の設計

出力信号をモニタし，出力振幅を制限する電圧リミッタ機能を有する加算アンプ(**図13**)です．電圧クランプされたアンプの出力信号を電流フィードバックの基準信号とすることでフィードバックのかかった過電流制限機能を実現し

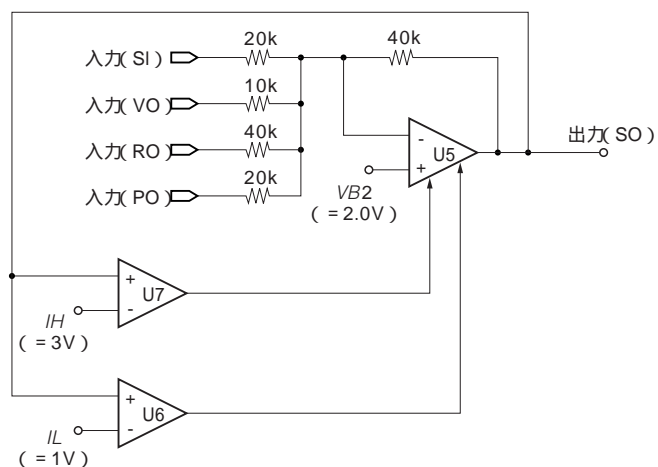
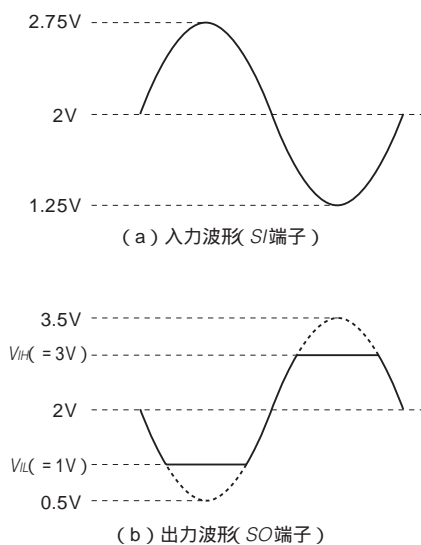



図13 加算＋リミッタ・アンプのブロック図

出力信号をモニタし出力振幅を制限する電圧リミッタ機能付き加算アンプ．

(a) 入力波形（SI端子）

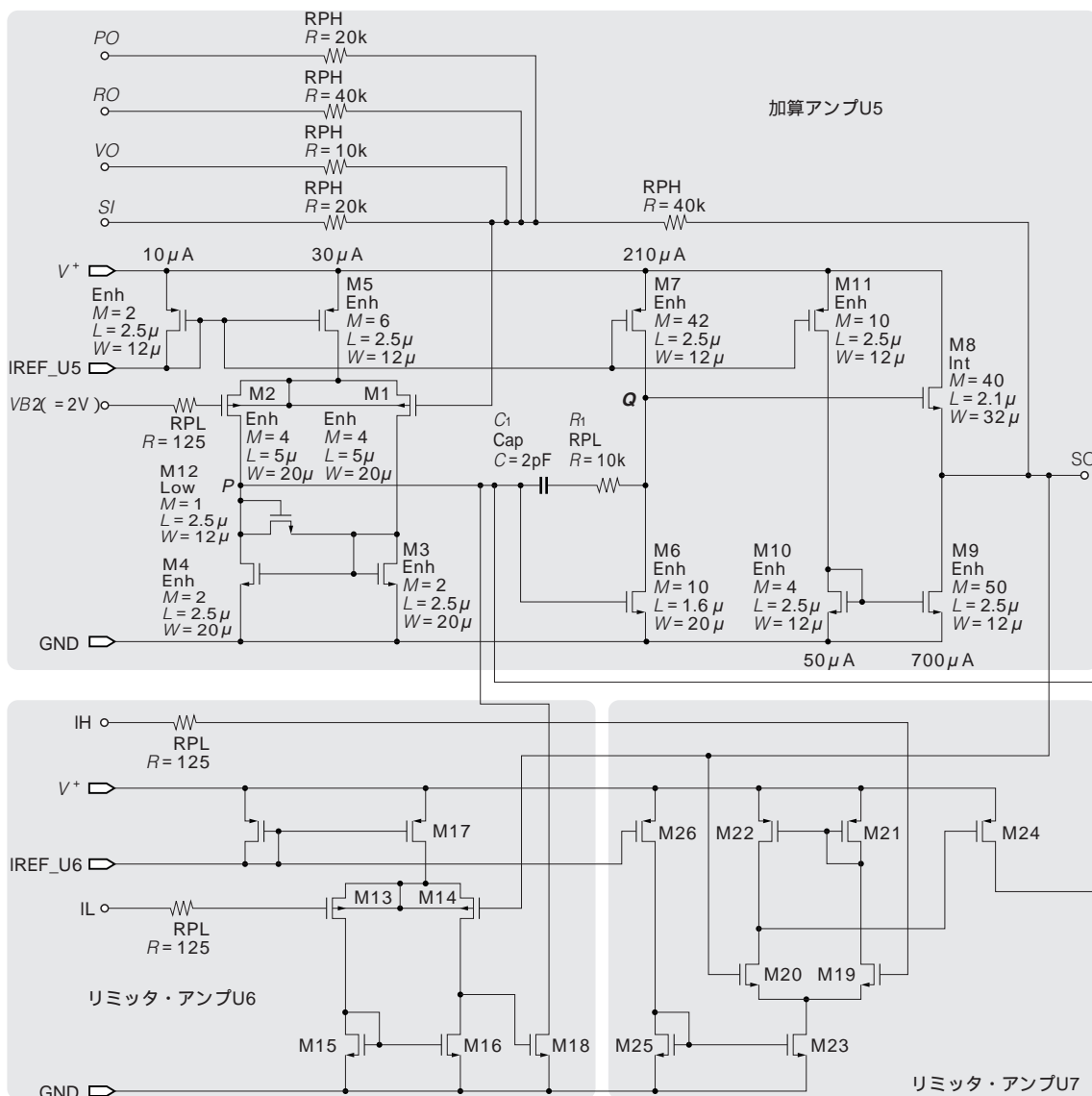
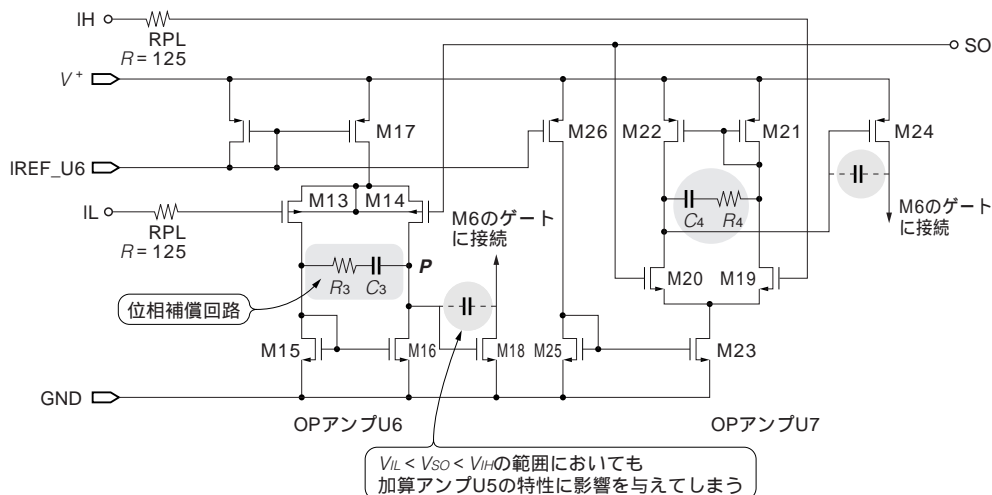
(b) 出力波形（SO端子）

図14 入出力波形
バイアス電圧2V，振幅0.75Vの正弦波を入力した時の出力波形．

ます．加算アンプU5に要求される諸特性は，OPアンプ1（U3，U4）と同じなので，同様の回路構成・定数となります．

動作は，加算アンプU5の出力（SO端子）がIH端子電圧V_{IH}を超えると，リミッタ・アンプU7が働いてU5の出力電圧がV_{IH}となるようにクランプをかけます．また，U5の出力（SO端子）がIL端子電圧V_{IL}より小さくなると，リミッタ・アンプU6が働いてU5の出力電圧がV_{IL}となるようにクランプをかけます．例えば，SI端子にバイアス電圧2V，振幅0.75Vの正弦波を入力し，それ以外の端子はVB2（2V）に電位を固定すると，加算アンプU5の出力は**図14**のような波形となります．

回路は，**図15**のように加算アンプU5の利得段（M6のゲート）にリミッタ・アンプU6，U7の出力を接続した構

図15 加算+リミッタ・アンプの回路図
加算アンプU5の利得段（M6のゲート）に出力信号をモニタしているアンプ（U6，U7）出力を接続した構成となる．

図16
加算＋リミッタ・アンプの位相補償
リミッタ・アンプの安定動作化のために C_3，R_3 と C_4，R_4 を挿入して位相補償を行う．

成となります．

● 位相補償

位相補償について考えます．**図15**において，$V_{IL} \leqq V_{SO} \leqq V_{IH}$ の範囲では，アンプU6，U7はアンプU5の動作に影響を与えません．OPアンプ1（U3，U4）と同様にU5の利得段入出力間にキャパシタ C_1，抵抗 R_1 を挿入し位相補償を行います．しかし，$V_{SO} \leqq V_{IH}$ の範囲では出力 SO をアンプU6で受け，U5の利得段を介して出力 SO に至るループになります．利得段が1段増えたことになり，加算アンプU5における C_1，R_1 だけでは十分な位相補償が実現できません．従って，新たに位相補償回路を検討する必要があります．このことは $V_{SO} \geqq V_{IH}$ の範囲におけるアンプU7のループに関しても同様のことがいえます．

ここで，位相補償回路を挿入する箇所として最初に考えられるのは，リミッタ・アンプU6の利得段M18のゲート-ドレイン間です．しかし，ここに挿入すると $V_{IL} \leqq V_{SO} \leqq V_{IH}$ の範囲での動作時に，アンプU5の特性に影響を与えてしまいます．従って，**図16**のようにリミッタ・アンプU6の差動増幅回路にキャパシタ C_3 と抵抗 R_3 を挿入して位相補償を行います．

この位相補償回路により，$V_{IL} \geqq V_{SO}$ の範囲における P 点でのポールは，

$$\omega_p \cong \frac{1}{C_3\left(r_{O14} // r_{O16}\right)}$$

となるので，C_3 を調整してポールを低域に移動します．ここではチップ面積を考慮し，$C_3 = 4\text{pF}$ とします．また，リミッタ・アンプに関しても同様な位相補償（C_4，R_4）を行います．

図17に全体の回路を示します．この回路において $V_{IL} = 1\text{V}$，$V_{IH} = 3\text{V}$，$V^+ = 5\text{V}$，$PO = RO = VO = VB2$，$S_I = 2.75\text{V}$ として，リミッタ・アンプがクランプ動作する条件でのU6からU5までの系でのオープン・ループ周波数特性のシミュレーション結果を**図18**に示します．この結果から C_3 と R_3 による位相補償の効果が確認できます．

● クランプ入力電圧範囲

図19において，IH端子，およびIL端子の入力電圧範囲を検討します．入力電圧範囲はすべてのトランジスタが飽和領域で動作する電圧範囲です．ここでは，すべてのトランジスタにおいて $V_{DS(\text{sat})} = 0.15\text{V}$，$V_{GS} = V_T + V_{DS(\text{sat})}$ とし

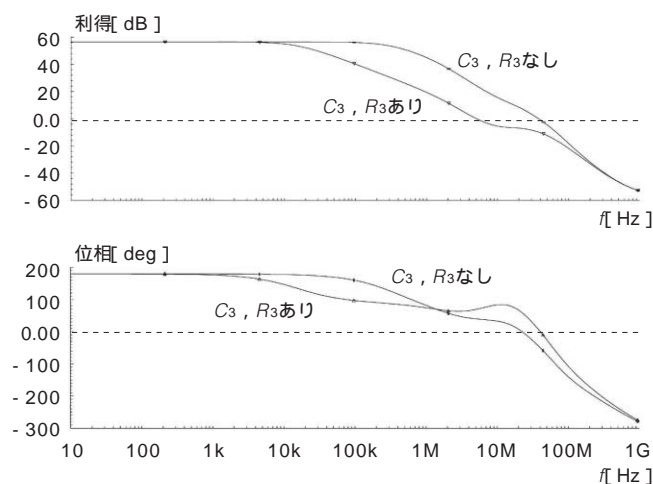



図18　オープン・ループ周波数特性
$V^+ = 5\text{V}$，$V_{IL} = 1\text{V}$，$V_{IH} = 3\text{V}$，$V_{SO} = 2\text{V}$ でのオープン・ループ周波数特性のシミュレーション結果．

図17　加算＋リミッタ・アンプの回路

PWM01で使用する加算＋リミッタ・アンプ．IH端子とIL端子への印加電圧で出力振幅を制限する．

ます．

(1) IH端子：$V_{I\text{-}IH}$

①最大入力電圧：$V_{I\text{-}IH}(\max)$

最大入力電圧$V_{IN}(\max)$は，M19が飽和領域で動作できることを考慮すると，

$$V_{I\text{-}IH}(\max) = V^{+} - V_{SG21} - V_{DS19(sat)} + V_{GS19}$$

となります．

ここで，NMOSトランジスタはしきい値低め$V_{TNE\text{-}L}$＝0.65V，PMOSトランジスタはしきい値高め｜$V_{TPE\text{-}H}$｜＝1Vとし，V^{+}＝5Vとすると，

$$V_{IN}(\max) = V^{+} - V_{SG21} - V_{DS19(sat)} + V_{GS19}$$

$$= V^{+} - (|V_{TPE\text{-}H}| + V_{SD21(sat)}) - V_{DS19(sat)} + V_{TNE\text{-}L} + V_{DS19(sat)}$$

$$= V^{+} - |V_{TPE\text{-}H}| - V_{SD21(sat)} + V_{TNE\text{-}L}$$

$$= 5 - 1 - 0.15 + 0.65$$

$$= 4.5\mathrm{V}$$

となります．

図19 クランプ入力電圧範囲

IH端子とIL端子の入力電圧範囲を検討する．

②最小入力電圧：$V_{I\text{-}IH}$(min)

最小入力電圧$V_{I\text{-}IH}$(min)は，M23が飽和領域で動作できることを考慮すると，$V_{IN}(\min)=V_{DS23(sat)}+V_{GS19}$となります．ここで，NMOSトランジシスタはしきい値高めで$V_{TNE\text{-}H}=0.95$Vとすると，

$$
\begin{aligned}
V_{IN}(\min) &= V_{DS23}+V_{GS19}\\
&= V_{DS23(sat)}+(V_{TNE\text{-}H}+V_{DS19(sat)})\\
&= 0.15+0.95+0.15\\
&= 1.25\text{V}
\end{aligned}
$$

となります．従って，IH端子のクランプ入力電圧範囲は1.25V～4.5Vとなり，仕様の1.5V～3.5Vを満足します．

(2) IL端子：$V_{I\text{-}IL}$

①最大入力電圧：$V_{I\text{-}IL}$(max)

最大の入力電圧$V_{I\text{-}IL}$(max)は，M17が飽和領域で動作できることを考慮すると，$V_{I\text{-}IL}(\max)=V^{+}-V_{SD17(sat)}-V_{SG13}$となります．ここで，PMOSトランジスタはしきい値高め$|V_{TPE\text{-}H}|=1$Vとすると，

$$
\begin{aligned}
V_{I\text{-}IL}(\max) &= V^{+}-V_{SD17(sat)}-V_{SG13}\\
&= V^{+}-V_{SD17(sat)}-(|V_{TPE\text{-}H}|+V_{DS13(sat)})\\
&= 5-0.15-(1+0.15)\\
&= 3.7\text{V}
\end{aligned}
$$

となります．

②最小入力電圧：$V_{I\text{-}IL}$(min)

最小入力電圧$V_{I\text{-}IL}$(min)は，M13が飽和領域で動作できることを考慮すると，$V_{I\text{-}IL}(\min)=V_{GS15}+V_{SD13(sat)}-V_{SG13}$となります．ここで，NMOSトランジスタはしきい値高め$V_{TNE\text{-}H}=0.95$V，PMOSトランジスタはしきい値低め

図20 入出力過渡応答特性

周波数10kHz, バイアス電圧2V, 振幅0.75Vの正弦波を入力時の入出力過渡応答特性のシミュレーション結果．

$|V_{TPE\text{-}L}|=0.7$Vとすると，

$$
\begin{aligned}
V_{I\text{-}IL}(\min) &= V_{GS15}+V_{SD13(sat)}-V_{SG13}\\
&= V_{TNE\text{-}H}+V_{DS15(sat)}+V_{DS13(sat)}\\
&\quad -(|V_{TPE\text{-}L}|+V_{DS13(sat)})\\
&= V_{TNE\text{-}H}+V_{DS15(sat)}-|V_{TPE\text{-}L}|\\
&= 0.95+0.15-0.7\\
&= 0.4\text{V}
\end{aligned}
$$

となります．

従って，IL端子のクランプ入力電圧範囲は0.4V～3.7Vとなり，0.5V～3.5Vの仕様を満足します．

● 入出力過渡応答

図17の回路で，$V_{IL}=1$V，$V_{IH}=3$V，$V^{+}=5$V，$PO=RO=VO=VB2$として，入力端子SIに周波数10kHz，バ

図21　ダイオードの電圧-電流特性
ダイオードの両端に印加する電圧で内部抵抗が変化する．

図22　ディスクリートによるリミッタ・アンプ
シンプルな回路構成だが，リミット電圧の任意設定が行えず，温度特性も悪い．

イアス電圧2.0V，振幅0.75Vの正弦波を入力した場合の入出力過渡応答特性のシミュレーション結果を**図20**に示します．出力端子の信号SOがV_{IH}＝3VとV_{IL}＝1Vで，リミットがかかっていることが確認できます．

● ディスクリートによるリミッタ・アンプ

最後に，印加電圧によって内部抵抗が変わるダイオード素子を用いて，ディスクリート部品で構成したリミット回路を紹介します．

ダイオードの電圧-電流特性は**図21**のような特性となり，ダイオードの両端に印加される電圧によって内部抵抗が変化します．この特性を利用してリミッタ回路を構成した回路が**図22**です．OPアンプで構成された反転増幅回路の帰還抵抗R_Fと並列にダイオードD_1，D_2を接続した回路です．

出力電圧が$-V_F < V_O < +V_F$では，普通の反転増幅動作を行います．

$$V_o = -\frac{R_F}{R_S} V_1$$

$V_O \geqq +V_F$では，D_1がONすることにより$V_O = V_F$となり，$V_O \leqq -V_F$では，D_2がONすることにより$V_O = -V_F$となります．

この回路構成はPWM01のリミッタ・アンプに比べてとてもシンプルな回路となりますが，リミット電圧は使用するダイオードの順方向電圧V_Fで決まるため，リミット電圧の設定が任意にできないことや，ダイオードのV_Fが温度特性（約－2mV/℃）を持つため，リミット電圧の温度特性が悪いなどの短所があります．

参考・引用*文献

(1) 谷口研二；CMOSアナログ回路入門，CQ出版社，2005年．
(2) Behzad Razavi著，黒田忠広監訳；アナログCMOS集積回路の設計 基礎編/応用編，丸善，2003年．
(3) 吉澤浩和；CMOS OPアンプ回路 実務設計の基礎，CQ出版社，2007年．

よしだ・はるひこ
新日本無線（株）

<筆者プロフィール>
吉田 晴彦．1985年に新日本無線に入社，プロセス開発や電源IC設計などに従事，現在ミックスト・シグナルIC設計部門に所属．